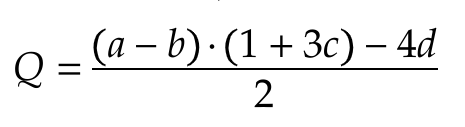
**Задание**

Дано следующее математическое выражение:



1. Нарисуйте в любом графическом редакторе цифровую схему, реализующую вычисление заданного выражения (Visio, draw.io или аналогичный)
2. Используя любой HDL язык (Verilog, SystemVerilog, VHDL) опишите цифровую схему, отвечающую заданным требованиям:
3. входные параметры *a, b, c, d* являются целыми числами со знаком (signed)
4. набор параметров *a, b, c, d* должен подаваться на вход схемы синхронно
5. разрядность данных должна определяться параметром
6. схема должна обеспечивать возможность получения нового набора входных параметров *a, b, c, d* каждый такт
7. латентность схемы должна быть оптимальной
8. по возможности реализовать подтверждение входных и выходных данных сигналом valid
9. Верифицируйте описанную схему с помощью testbench. В качестве симулятора можно использовать САПР Vivado, ModelSim или аналогичный
10. Для проверки корректности работы схемы и testbench, разработайте программу на Python, решающую заданное математическое выражение
11. Описать возможные способы защиты от ошибок переполнения разрядной сетки

При наличии инструментальной возможности (оценивается отдельно):

1. Оценить аппаратный ресурс, требуемый для реализации схемы по результатам синтеза, выполненного в САПР Vivado или Quartus
2. Оценить максимальную тактовую частоту работы схемы